

대한민국 특허청  
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0082172  
Application Number

출원년월일 : 2002년 12월 21일  
Date of Application DEC 21, 2002

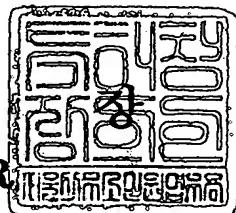
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 29 일

특 허 청

COMMISSIONER



【서지사항】

**【요약서】****【요약】**

본 발명은 DRAM의 비트라인 형성시 비트라인 콘택과 비트라인 사이의 오버레이 이슈를 해결할 수 있는 반도체 소자의 비트라인 형성방법에 관한 것으로, 액티브 영역과 소자 격리영역이 정의된 반도체 기판을 준비하는 단계와, 상기 소자 격리영역에 소자 격리막을 형성하는 단계와, 상기 기판에 일정간격을 갖는 복수개의 워드라인을 형성하는 단계와, 상기 워드라인 양측면의 액티브 영역에 소오스/드레인 불순물 영역을 형성하는 단계와, 상기 소오스/드레인 불순물 영역과 콘택되는 랜딩 플러그 폴리를 매트릭스 형태로 형성하는 단계와, 상기 워드라인을 포함한 전면에 제 1, 제 2, 제 3 절연막을 차례로 형성하는 단계와, 상기 제 2, 제 3 절연막을 선택적으로 식각하여 비트라인 영역을 정의하는 단계와, 상기 랜딩 플러그 폴리를 선택적으로 노출되도록 상기 제 1 절연막을 선택적으로 식각하여 비트라인 콘택홀을 형성하는 단계와, 상기 비트라인 콘택홀을 포함한 상기 비트라인 영역에 비트라인을 형성하는 단계를 포함하는 것을 특징으로 한다.

**【대표도】**

도 2f

## 【명세서】

## 【발명의 명칭】

반도체 소자의 비트라인 형성방법{METHOD FOR FORMING BIT LINE OF SEMICONDUCTOR DEVICE}

## 【도면의 간단한 설명】

도 1a 내지 도 1d는 종래의 디램 소자의 비트라인 형성방법을 나타낸 공정 단면도.

도 2a 내지 도 2f는 본 발명의 일실시예에 따른 디램 소자의 비트라인 형성방법을 나타낸 레이아웃 순서도.

도 3a 내지 도 3f는 도 2의 X-X 방향에 따른 공정 단면도.

도 4a 내지 도 4f는 도 2의 Y-Y 방향에 따른 공정 단면도.

## &lt;도면의 주요 부분에 대한 부호의 설명&gt;

100 : 반도체 기판

100a : 액티브 영역

100b : 소자 격리영역

101 : 웨이퍼 산화막

102 : 게이트 절연막

103 : 게이트 전극

104 : 질화막

105 : 워드라인

106 : 스페이서

107 : 제 1 절연막

108 : 랜딩 플러그 콘택트

109 : 랜딩 플러그 폴리

110 : 제 1 층간 절연막

111 : 제 2 층간 절연막

112 : 제 3 층간 절연막

113 : 포토레지스트

114 : 비트라인 콘택홀

115 : 비트라인

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 반도체 소자의 비트라인 형성방법에 관한 것으로, 특히 디램(DRAM)의 비트라인 형성시 비트라인 콘택과 비트라인 사이의 오버레이 이슈(overlay issue)를 해결 할 수 있는 반도체 소자의 비트라인 형성방법에 관한 것이다.
- <16> 도 1a 내지 도 1d는 종래 기술에 따른 반도체 소자의 비트라인 형성방법을 나타낸 공정 단면도이다.
- <17> 종래 기술에 따른 반도체 소자의 비트라인 형성방법은, 도 1a에 도시한 바와 같이, 반도체 기판(10)의 소자격리 영역(미도시)을 선택적으로 식각하여 트랜치(미도시)를 형성하고, 상기 트랜치에 산화막을 매립하여 소자격리막(11)을 형성한다.
- <18> 이어, 상기 소자격리막을 포함한 기판(10)에 일정간격을 갖는 복수개의 게이트 절연막(12), 게이트 전극(13), 하드마스크(14)으로 이루어진 워드 라인(15)을 형성한다. 그런 다음, 상기 워드 라인(15)을 마스크로 하고 상기 기판 전면에 엘디디용 불순물을 주입한다. 이 후, 상기 워드라인(15) 측벽에 각각의 제 2 절연막 스페이서(16)를 형성한다. 이때, 상기 하드 마스크(14)의 재질은 실리콘 질화막을 이용한다. 이어, 상기 워드 라인(15) 및 제 2 절연막 스페이서(16)를 마스크로 하고 기판 전면에 불순물 이온주입

공정을 통해 반도체 기판(10)의 활성영역에 엘디디 및 소오스/드레인의 불순물영역(미도시)을 형성한다.

<19> 그런 다음, 도 1b에 도시한 바와 같이, 상기 결과의 기판 전면에 제 1층간절연막(17)을 형성한 후, 상기 하드 마스크(14)의 표면이 노출되는 시점까지 씨엠피(CMP:Chemical Mechanical Polishing)하여 제 1층간절연막을 평탄화시킨다. 이 후, 상기 평탄화 공정이 완료된 제 1층간절연막을 선택 식각하여 불순물영역의 일부분을 노출시키는 복수개의 랜딩 플러그용 콘택(Landing Plug Contact : LPC)(18)을 형성한다.

<20> 이어, 도 1c에 도시한 바와 같이, 상기 랜딩 플러그 콘택(18)을 포함한 전면에 제 1 폴리 실리콘층(미도시)을 증착한 후, 씨엠피 공정을 실시하여 상기 랜딩 플러그용 콘택(18)을 매립시키는 랜딩 플러그(Landing Plug Poly :LPP)(19)를 형성한다. 그런 다음, 상기 결과물 상부에 제 2층간절연막(20)을 형성한 다음, 상기 제 2층간절연막(20) 상에 비트라인 콘택영역이 정의된 감광막 패턴(21)을 형성한다. 이때, 상기 감광막 패턴(21)은, 노광장비의 특성 상, 실제 비트라인 콘택 사이즈보다 크게 제작한 다음, 감광막 리플로우(reflow) 공정을 진행하여 상기 비트라인 콘택 사이즈를 줄인다.(미도시)

<21> 이 후, 상기 감광막 패턴(21)을 마스크로 하고 상기 제 2층간절연막(20)을 식각하여 랜딩 플러그(19)를 노출시키는 비트라인용 콘택(22)을 형성한다.

<22> 이어, 감광막 패턴을 제거하고 나서, 도 1d에 도시한 바와 같이, 상기 비트라인용 콘택(22)을 포함한 전면에 스퍼터링(sputtering) 공정에 의해 금속층(23)을 형성한다.

<23> 그런 다음, 도면에 도시되지 않았지만, 상기 금속막을 선택 식각하여 랜딩 플러그 와 연결되는 비트라인을 형성한다.

### 【발명이 이루고자 하는 기술적 과제】

- <24> 그러나 상기와 같은 종래 기술에 따른 반도체 소자의 비트라인 형성방법에 있어서는 다음과 같은 문제점이 있었다.
- <25> 비트라인용 콘택과 비트라인이 미스-얼라인(mis-align)될 경우, 비트라인이 비트라인용 콘택을 제대로 덮지 못하기 때문에 후속 공정에서 스토리지 노드용 콘택 형성시 브릿지(bridge)가 발생되며, 또한, 비트라인 식각 공정시, 비트라인용 콘택을 따라 액티브 영역에 식각 데미지(damage)가 전달되어 디바이스의 정션(junction) 특성이 악화된다.
- <26> 한편, 비트라인 콘택홀을 크게 정의할 경우, 후속 공정에서 스토리지 노드용 콘택과의 쇼트(short)가 유발되며, 비트라인용 콘택과 랜딩 플러그용 콘택 사이의 미스-얼라인이 발생된다. 뿐만 아니라 최근에는 비트라인을  $0.1\mu\text{m}$ 이하의 얇은 비트라인(thin bit line) 구조로 형성하면서 비트라인용 콘택 오버랩 지역에서의 난반사에 의해 비트라인이 제대로 정의되지 않아 비트라인 브릿지(bridge)가 발생되는 문제점이 있었다.
- <27> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로 비트라인을 다마신(damascene) 공정으로 형성하고, 비트라인용 콘택을 비트라인 식각 공정 후 셀프-얼라인 콘택(Self Aligned Contact : SAC) 형태로 형성시킴으로써, 비트라인용 콘택과 비트라인 사이의 미스 어라인을 방지할 수 있는 반도체 소자의 비트라인 형성방법을 제공하는데 그 목적이 있다.

### 【발명의 구성 및 작용】

- <28> 상기와 같은 목적을 달성하기 위한 본 발명의 반도체 소자의 비트라인 형성방법은 액티브 영역과 소자 격리영역이 정의된 반도체 기판을 준비하는 단계와, 상기 소자 격리

영역에 소자 격리막을 형성하는 단계와, 상기 기판에 일정간격을 갖는 복수개의 워드라인을 형성하는 단계와, 상기 워드라인 양측면의 액티브 영역에 소오스/드레인 불순물 영역을 형성하는 단계와, 상기 소오스/드레인 불순물 영역과 콘택되는 랜딩 플러그 폴리를 매트릭스 형태로 형성하는 단계와, 상기 워드라인을 포함한 전면에 제 1, 제 2, 제 3 절연막을 차례로 형성하는 단계와, 상기 제 2, 제 3 절연막을 선택적으로 식각하여 비트라인 영역을 정의하는 단계와, 상기 랜딩 플러그 폴리를 선택적으로 노출되도록 상기 제 1 절연막을 선택적으로 식각하여 비트라인 콘택홀을 형성하는 단계와, 상기 비트인 콘택홀을 포함한 상기 비트라인 영역에 비트라인을 형성하는 단계를 포함하는 것을 특징으로 한다.

<29> 또한, 상기 워드라인은 게이트 절연막, 폴리와 텅스텐-실리사이드의 조합 및 금속으로 이루어진 게이트 전극 그리고 질화막으로 이루어진 것이 바람직하다.

<30> 또한, 상기 비트라인 영역의 정의는 상기 제 3 절연막상에 포토레지스트를 증착한 후, 노광 및 현상공정을 이용하여 선택적으로 패터닝하는 단계와, 상기 패터닝된 포토레지스트를 마스크로 하여 상기 제 3 절연막을 선택적으로 식각하여 비트라인 영역을 정의한 후, 상기 패터닝된 포토레지스트를 제거하는 단계와, 상기 제 3 절연막을 마스크로 하여 상기 제 2 절연막을 선택적으로 식각하는 단계를 더 포함하는 것이 바람직하다.

<31> 또한, 상기 제 2 절연막은 HTO, 질화막중 어느 하나이고, 상기 제 3 절연막은 상기 제 2 절연막보다 식각 비율이 물질을 사용하는 것이 바람직하다.

<32> 또한, 상기 제 2 절연막은 BPSG인 것이 바람직하다.

- <33> 또한, 상기 비트라인 콘택홀은 셀프-얼라인 콘택 방식으로 형성하는 것이 바람직하다.
- <34> 또한, 상기 비트라인은 폴리와 텅스텐-실리사이드의 조합 및 금속 물질을 어느 하나인 것이 바람직하다.
- <35> 이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체 소자의 비트라인 형성방법에 대하여 보다 상세히 설명하기로 한다.
- <36> 도 2a 내지 도 2f는 본 발명의 일실시예에 따른 반도체 소자의 비트라인 형성방법을 레이아웃 순서도이다. 또한, 도 3a 내지 도 3f는 도 2의 X-X 방향에 따른 공정 단면도이며, 도 4a 내지 도 4f는 도 2의 Y-Y 방향에 따른 공정 단면도이다.
- <37> 본 발명에 따른 반도체 소자의 비트라인 형성 방법은; 도 2a, 도 3a 및 도 4a에 도시한 바와 같이, 먼저, 액티브 영역(100a)과 소자 격리영역(미도시)이 정의된 반도체 기판(100)을 제공한다. 이어, 상기 기판(100)의 소자 격리영역에 트랜치(미도시)를 형성하고, 상기 트랜치에 산화막을 매립하여 소자격리막(101)을 형성한다. 그런 다음, 상기 소자격리막(102)을 포함한 기판(100)에 일정간격을 갖는 복수개의 게이트 절연막(102), 게이트 전극(103) 및 하드 마스크(104)로 이루어진 워드라인(105)을 형성하고, 상기 워드라인(105) 측벽에 스페이서(106)를 형성한다. 이 후, 상기 워드라인(105) 및 스페이서(106)를 마스크로 이용한 불순물 주입 공정을 통해 반도체 기판(100)의 액티브 영역(100a)에 소오스/드레인의 불순물영역(미도시)을 형성한다. 이때, 상기 게이트 전극(103)은 다결정 실리콘막과 텅스텐-실리사이드막의 조합 또는 텅스텐 금속막으로 이루어진다.

<38> 이어, 도 2b, 도 3b 및 도 4b에 도시한 바와 같이, 상기 구조 전면에 제 1층간절연막(107)을 형성한 후, 상기 하드마스크(104)의 표면이 노출되는 시점까지 상기 제 1층간절연막을 씨엠피하여 평탄화한다. 그런 다음, 상기 제 1층간절연막을 선택 식각하여 불순물영역의 일부를 노출시키는 복수개의 랜딩 플러그 용 콘택(108)을 형성한다.

<39> 이 후, 도 2c, 도 3c 및 도 4c에 도시한 바와 같이, 상기 랜딩 플러그용 콘택(108)을 포함한 전면에 제 1 다결정 실리콘막(미도시)을 증착한 후, 씨엠피 공정을 실시하여 상기 랜딩 플러그용 콘택(108)을 매립시키는 랜딩 플러그(109)를 형성한다. 이어, 상기 결과물 상부에 제 2 및 제 3층간절연막(110)(111)을 차례로 형성한다. 이 때, 상기 제 2 층간절연막(110)으로는 HTO 또는 실리콘 질화막을 이용한다. 또한, 상기 제 3층간절연막(111)은 제 2층간절연막(110)과 식각비가 서로 다른 물질로서, BPSG(BoroPhosphorSilicate Glass) 또는 TEOS(TetraEthylOrthoSilicate)을 사용한다.

<40> 그런 다음, 제 3층간절연막(111) 상에 실리콘 질화막(112)을 형성한다.

<41> 그리고, 도 2d, 도 3d 및 도 4d에 도시한 바와 같이, 상기 실리콘 질화막(112) 상에 비트라인용 콘택영역이 정의된 감광막 패턴(113)을 형성한다. 이 후, 상기 감광막 패턴(113)을 마스크로 하여 상기 실리콘 질화막(112)을 식각하여 실리콘 질화막 패턴(112a)를 형성한다.

<42> 이어, 도 2e, 도 3e 및 도 4e에 도시한 바와 같이, 상기 감광막 패턴을 제거하고 나서, 상기 실리콘 질화막 패턴(112a)을 마스크로 이용하여 상기 제 3 및 제 2층간절연막(111)(110)을 식각하여 각각의 비트라인용 콘택(114)을 형성한다. 이 때, 상기 비트라인용 콘택(114)은 셀프-얼라인 콘택 방식을 적용함으로써, 상기 비트라인용 콘택 식각 공

정 시, 비트라인용 콘택이 다마신 공정으로 디파인된 비트라인 내부에만 형성되고, 비트라인 바깥부분에는 형성되지 않는다.

<43> 그런 다음, 도 2f, 도 3f 및 도 4f에 도시한 바와 같이, 상기 비트라인용 콘택(114)을 포함한 전면에 다결정 실리콘막과 텅스텐-실리사이드막의 조합 및 텅스텐 금속막 중 어느 하나의 도전막(미도시)을 형성한다. 이때, 도면에는 도시되지 않았지만, 비트라인용 콘택과 도전막 사이에 베리어 금속막을 개재시킨다.

<44> 이 후, 상기 제 2층간절연막 표면이 노출되는 시점까지 제 4실리콘 질화막 패턴 및 도전막을 씨엠피하여 상기 랜딩 플러그(109)와 연결되는 다마신 구조의 비트라인(115)을 형성한다.

<45> 이어, 도면에 도시되지 않았지만, 상기 결과물 상에 제 4층간절연막을 형성하고 나서, 상기 제 4층간절연막을 선택 식각하여 스토리지노드용 콘택을 형성한다. 그런 다음, 상기 스토리지노드 콘택에 절연 스페이서를 형성함으로서, 비트라인과 스토리지노드 콘택 사이의 쇼트를 방지한다.

<46> 본 발명에서는 셀프 어라인 콘택 방식을 채택하여 비트라인용 콘택을 형성함으로써, 도 2f에 도시된 바와 같이, 비트라인의 바깥 부분은 상기 실리콘 질화막 패턴(112a)에 의해 식각되지 않기 때문에 비트라인용 콘택(114)은 비트라인이 형성될 방향으로 넓게 형성할 수 있다. 즉, 상기 비트라인용 콘택(114) 사이즈가 충분히 크더라도 비트라인의 바깥 부분으로는 비트라인용 콘택(114)이 형성되지 않으므로, 비트라인용 콘택 형성을 위한 감광막 패턴 제작이 용이하다.

**【발명의 효과】**

- <47> 이상에서 설명한 바와 같이, 본 발명의 반도체 소자의 비트라인 형성방법에 의하면, 셀프-어라인 콘택 방식을 적용하여 비트라인용 콘택을 형성함으로써, 비트라인이 형성될 영역 내부에 비트라인용 콘택을 형성할 수 있으므로 비트라인 콘택홀과 비트라인 사이의 오버레이 이슈를 완전히 해결할 수 있을 뿐만 아니라 비트라인용 콘택과 스토리지 노드용 콘택 사이의 쇼트가 발생될 우려가 없다.
- <48> 또한, 본 발명은 실리콘 질화막 패턴에 의해 비트라인 형성영역을 먼저 패터닝한 다음 비트라인용 콘택을 형성하기 때문에, 비트라인 마스크 공정 시, 비트라인용 콘택에 서의 난반사에 의한 비트라인 브릿지 발생을 방지할 수 있다.
- <49> 그리고, 본 발명은 비트라인용 콘택의 사이즈를 비트라인 방향을 따라 충분히 크게 형성할 수 있으므로, 비트라인용 콘택의 저항을 개선시킬 수 있다.
- <50> 한편, 본 발명은 비트라인용 콘택의 사이즈를 크게 하더라도 실리콘 질화막 패턴에 의해 비트라인 형성영역에서만 비트라인용 콘택을 형성할 수 있으므로, 감광막 패턴 상의 비트라인용 콘택 사이즈를 크게 할 수 있다. 따라서, 감광막 리플로우와 같은 공정을 사용할 필요가 없다.

**【특허 청구범위】****【청구항 1】**

반도체기판 상에 복수개의 워드 라인 및 불순물영역을 형성하는 단계와;

상기 워드라인을 포함한 기판 상에 상기 불순물영역의 일부를 노출시키는 랜딩플

러그용 콘택을 가진 제 1층간절연막을 형성하는 단계와,

상기 랜딩플러그용 콘택을 매립시키는 랜딩 플러그를 형성하는 단계와,

상기 랜딩 플러그를 포함한 전면에 제 2 및 제 3층간절연막을 차례로 형성하는 단

계와,

상기 제 3층간절연막 상에 비트라인

상기 제 4, 제 3 및 제 2절연막을 식각하여 상기 랜딩 플러그를 노출시키는 비트  
라인용 콘택을 형성하는 단계와,

상기 비트라인 콘택을 매립시키는 비트라인을 형성하는 단계를 포함하는 것을 특징  
으로 하는 반도체 소자의 비트라인 형성방법.

**【청구항 2】**

제 1 항에 있어서, 상기 워드라인은 게이트 절연막, 다결정 실리콘막 및 텅스텐 실  
리사이드막의 조합 또는 텅스텐 금속막 중 어느 하나의 구조를 가진 게이트 전극 및 하  
드마스크로 이루어진 것을 특징으로 하는 반도체 소자의 비트라인 형성방법.

**【청구항 3】**

제 1 항에 있어서, 상기 비트라인용 콘택 형성은,

상기 제 4층간절연막 상에 비트라인용 콘택영역이 정의된 감광막 패턴을 형성하는 단계와,

상기 감광막 패턴을 마스크로 하고 상기 제 4층간절연막을 식각하여 제 4층간절연막 패턴을 형성하는 단계와,

상기 감광막 패턴을 제거하는 단계와,

상기 제 4층간절연막 패턴을 마스크로 하고 상기 제 3 및 제 2층간절연막을 식각하여 상기 랜딩플러그용 콘택을 노출시키는 비트라인용 콘택을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 비트라인 형성방법.

#### 【청구항 4】

제 1 항 또는 제 3 항에 있어서, 상기 제 3 층간절연막은 HTO 또는 실리콘 질화막 중 어느 하나를 이용하고, 상기 제 4층간절연막은 상기 제 2 절연막보다 식각 비율이 물질을 사용하는 것을 특징으로 하는 반도체 소자의 비트라인 형성방법.

#### 【청구항 5】

제 1 항 또는 제 4 항에 있어서, 상기 제 3 절연막은 BPSG, TEOS중 어느 하나인 것을 특징으로 반도체 소자의 비트라인 형성방법.

#### 【청구항 6】

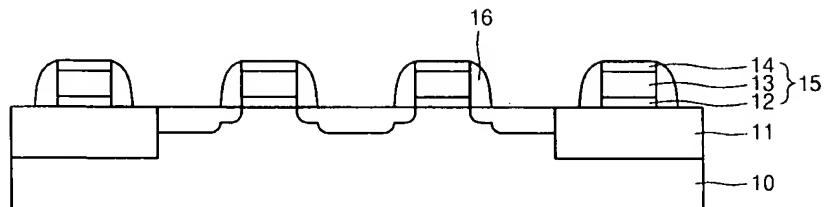
제 1 항에 있어서, 상기 비트라인 콘택홀은 셀프-얼라인 콘택 방식으로 형성하는 것을 특징으로 하는 반도체 소자의 비트라인 형성방법.

【청구항 7】

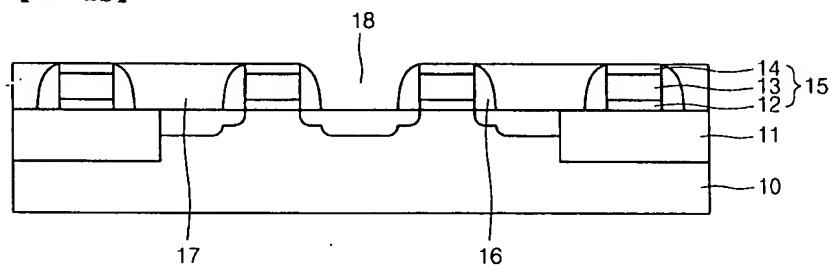
제 1 항에 있어서, 상기 비트라인은 폴리와 텅스텐-실리사이드의 조합 및 금속 물질을 어느 하나인 것을 특징으로 하는 반도체 소자의 비트라인 형성방법.

## 【도면】

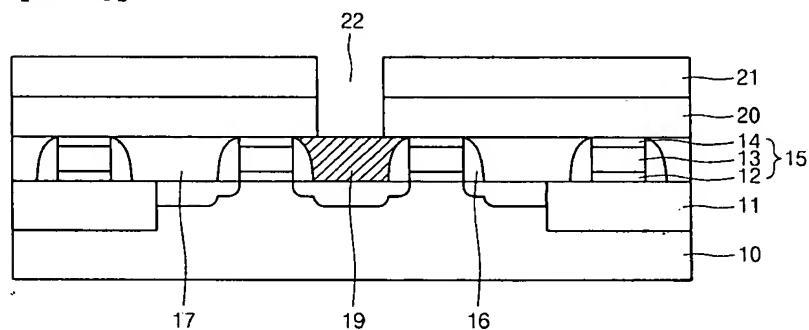
【도 1a】



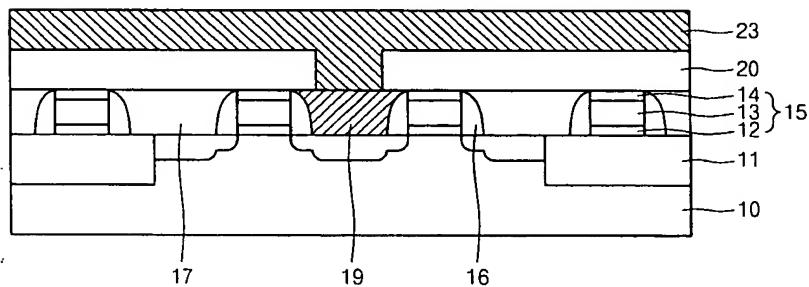
【도 1b】



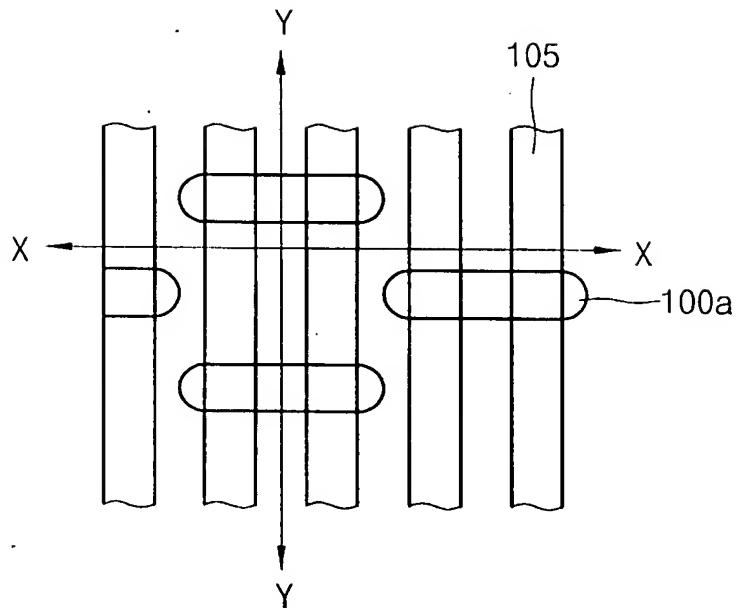
【도 1c】



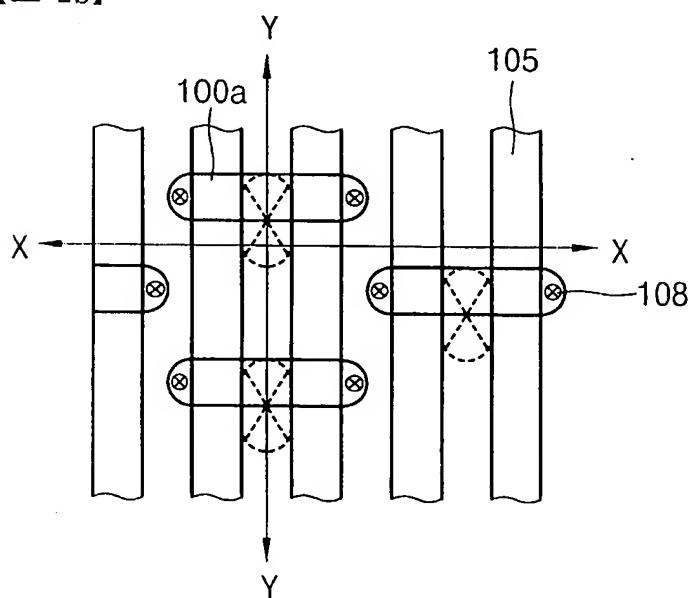
【도 1d】



【도 2a】



【도 2b】

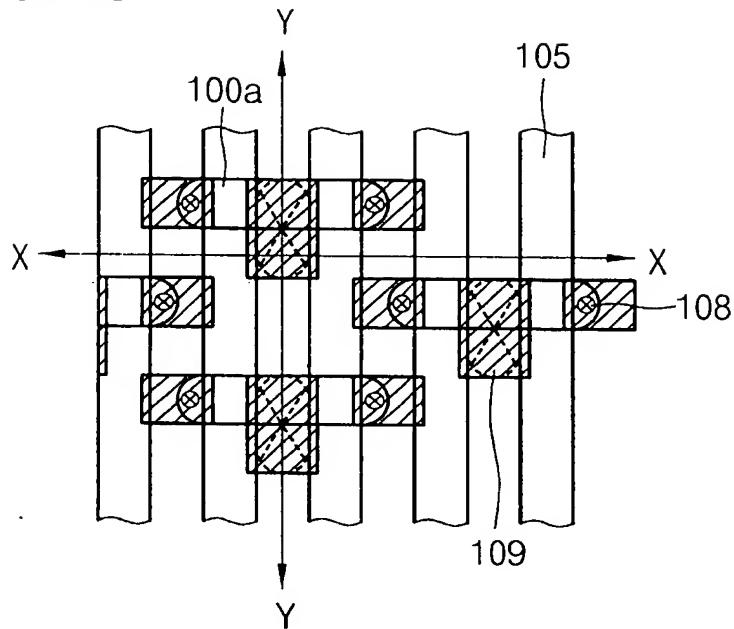




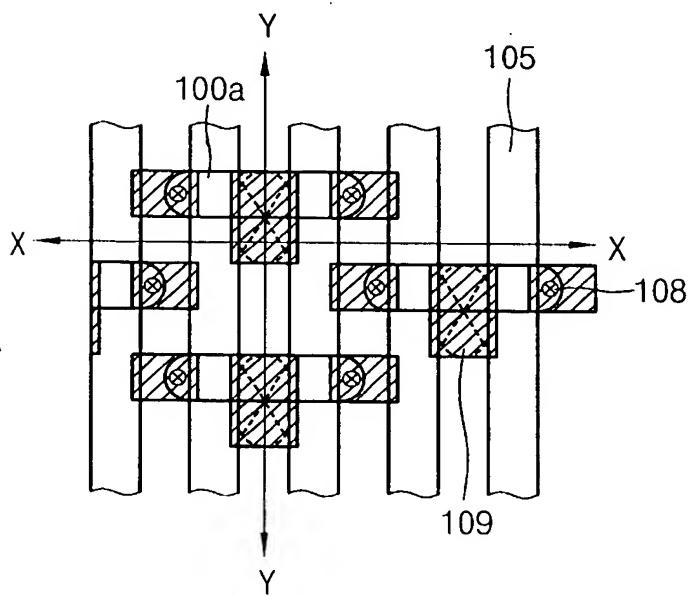
1020020082172

출력 일자: 2003/5/30

【도 2c】



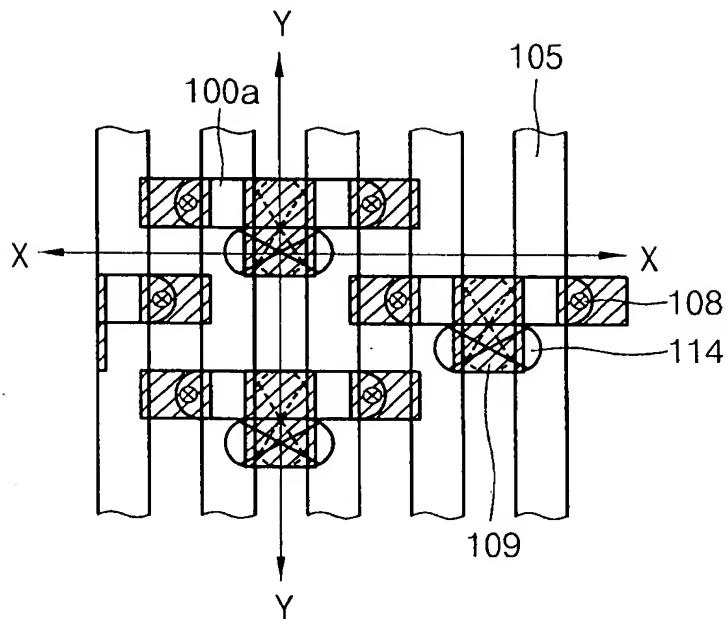
【도 2d】



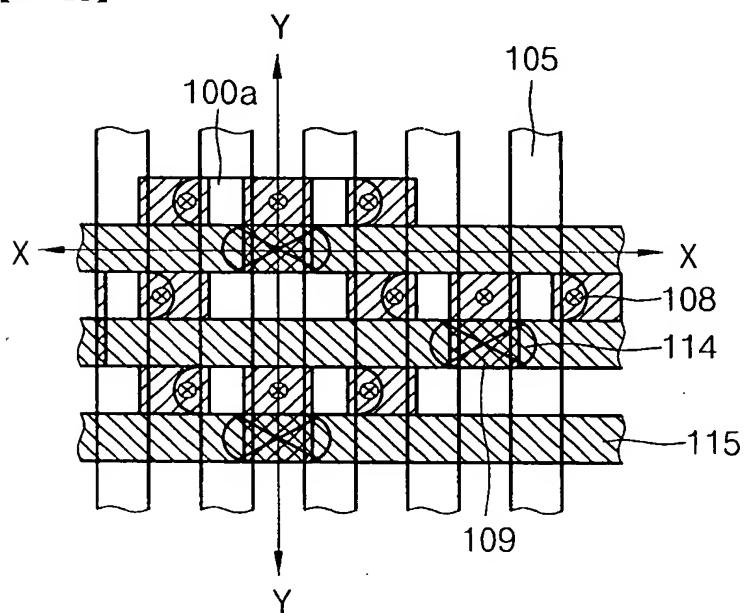
1020020082172

출력 일자: 2003/5/30

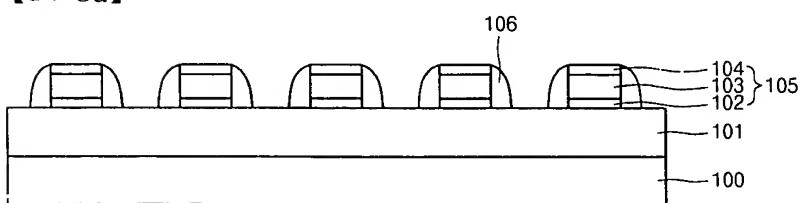
【도 2e】



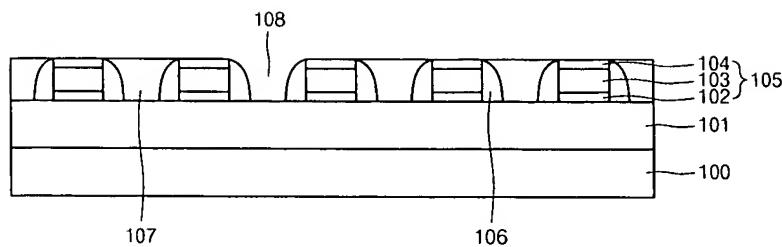
【도 2f】



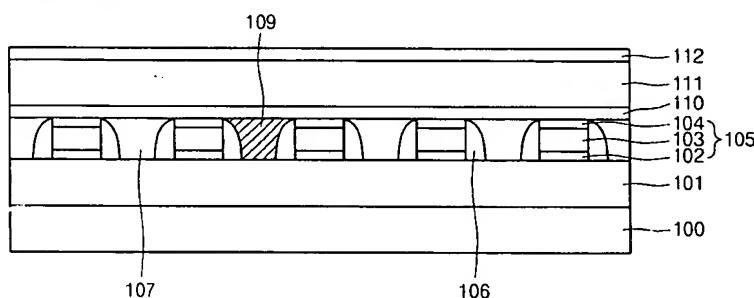
【도 3a】



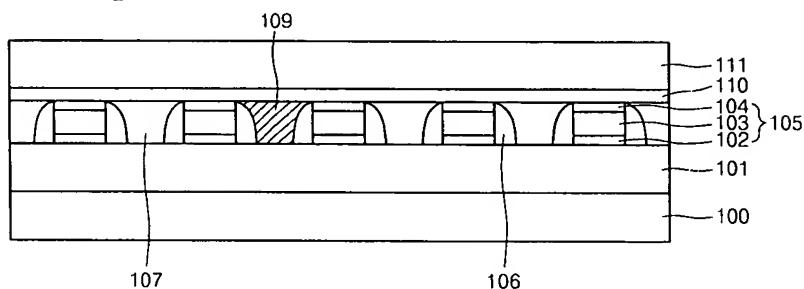
【도 3b】



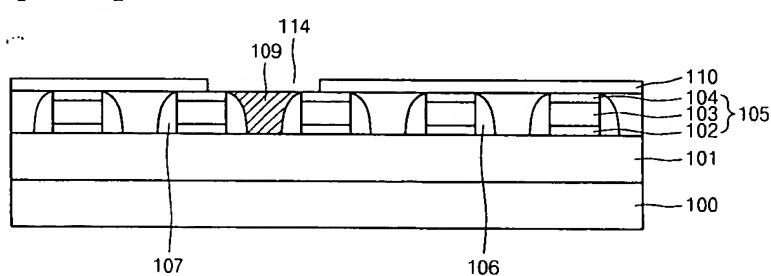
【도 3c】



【도 3d】



【도 3e】

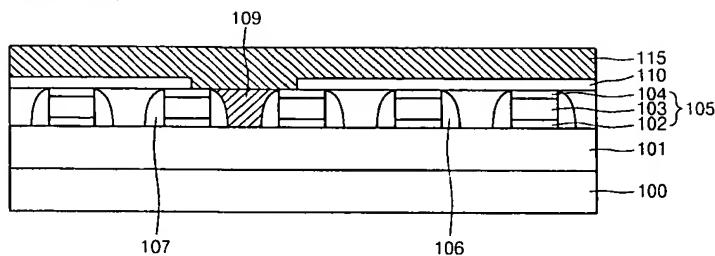




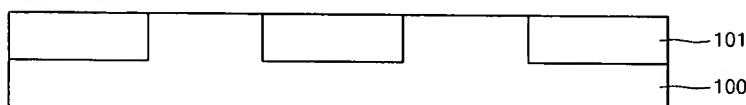
1020020082172

출력 일자: 2003/5/30

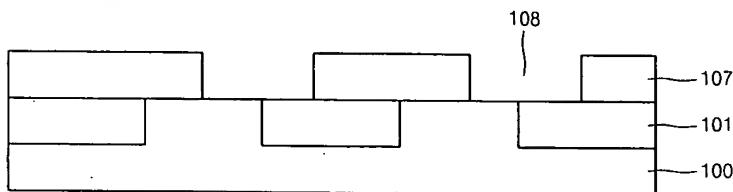
【도 3f】



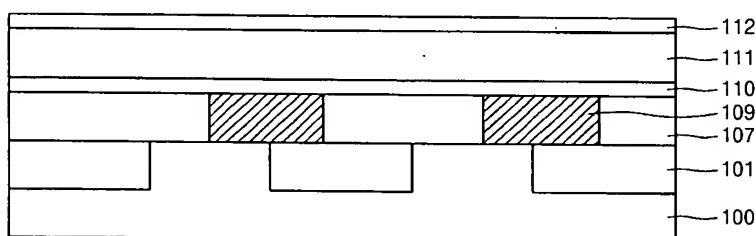
【도 4a】



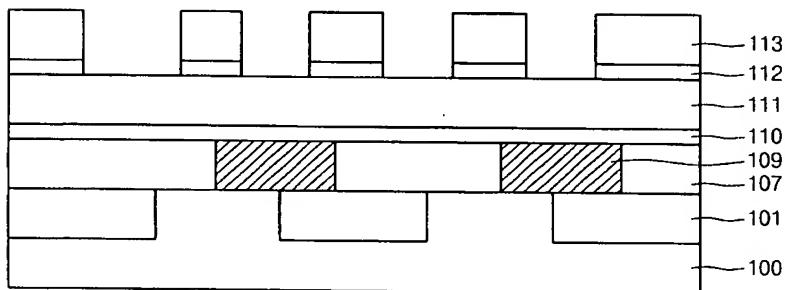
【도 4b】



【도 4c】



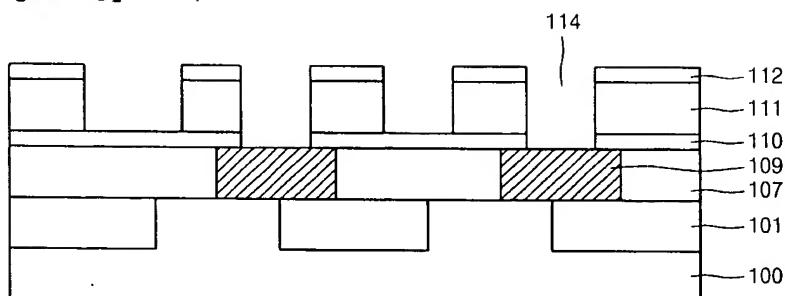
【도 4d】



1020020082172

출력 일자: 2003/5/30

【도 4e】



【도 4f】

